

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-296842  
 (43)Date of publication of application : 26.10.2001

(51)Int.CI. G09G 3/36  
 G02F 1/133  
 G09G 3/20  
 H04N 5/06  
 H04N 5/66

(21)Application number : 2000-133465 (71)Applicant : CASIO COMPUT CO LTD  
 (22)Date of filing : 02.05.2000 (72)Inventor : KOIZUMI NAGATAKE

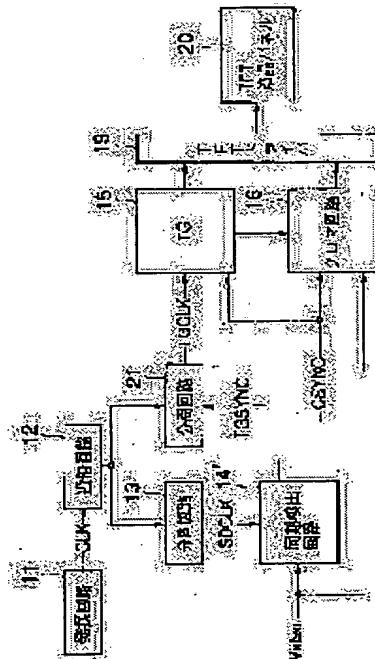
(30)Priority  
 Priority number : 2000029368 Priority date : 07.02.2000 Priority country : JP

## (54) SIGNAL GENERATION DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To realize integration and stable operation of a circuit, and to cope with any number of pixels for composing a liquid crystal panel to be driven, in a signal generation device for generating signals for driving the liquid crystal panel.

SOLUTION: This signal generation device comprises a synchronization detecting circuit 14' for detecting a horizontal synchronizing signal in a video signal, and a frequency divider circuit 21 for generating a clock TGCLK of an arbitrary frequency for driving signal electrodes of the liquid crystal panel 20 by dividing a multiplied clock frequency of a fundamental frequency using the above horizontal synchronizing signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-296842  
(P2001-296842A)

(43)公開日 平成13年10月26日 (2001.10.26)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I           | テーマコード <sup>8</sup> (参考) |
|---------------------------|-------|---------------|--------------------------|
| G 0 9 G 3/36              |       | G 0 9 G 3/36  | 2 H 0 9 3                |
| G 0 2 F 1/133             | 5 0 5 | G 0 2 F 1/133 | 5 C 0 0 6                |
| G 0 9 G 3/20              | 6 2 1 | G 0 9 G 3/20  | 6 2 1 M 5 C 0 2 0        |
|                           | 6 8 0 |               | 6 8 0 G 5 C 0 5 8        |
| H 0 4 N 5/06              |       | H 0 4 N 5/06  | Z 5 C 0 8 0              |

審査請求 未請求 請求項の数 2 O.L. (全 7 頁) 最終頁に続く

(21)出願番号 特願2000-133465(P2000-133465)

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(22)出願日 平成12年5月2日(2000.5.2)

(72)発明者 小泉 長武

東京都羽村市栄町3丁目2番1号 カシオ  
計算機株式会社羽村技術センター内

(31)優先権主張番号 特願2000-29368(P2000-29368)

(74)代理人 100058479

弁理士 鈴江 武彦 (外5名)

(32)優先日 平成12年2月7日(2000.2.7)

(33)優先権主張国 日本 (JP)

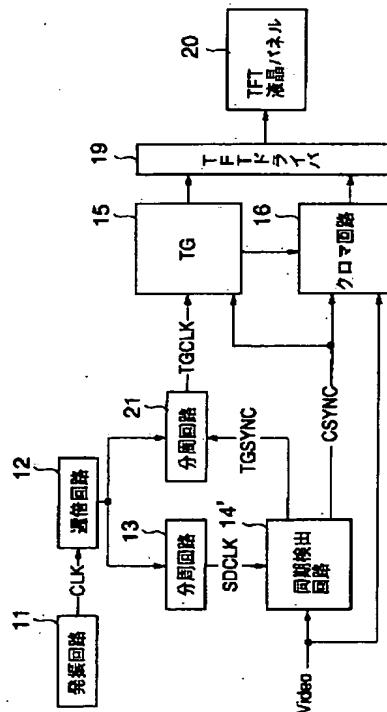
最終頁に続く

(54)【発明の名称】 信号生成装置

(57)【要約】

【課題】 液晶パネルを駆動するための信号を生成する信号生成装置において、集積回路化が可能で、安定した動作を実現でき、且つ駆動対象となる液晶表示パネルの構成画素数に任意に対応する。

【解決手段】 ビデオ信号中の水平同期信号を検出する同期検出回路14' と、基本クロックを遅倍した遅倍クロックを、上記水平同期信号を用いて分周することで、液晶パネル20の信号電極を駆動するための任意周波数のクロックT G C L Kを生成する分周回路21とを備える。



## 【特許請求の範囲】

【請求項1】液晶表示パネルを駆動するための信号を生成する信号生成装置において、

ビデオ信号中の水平同期信号を検出する検出手段と、基本クロックを遅倍した遅倍クロックを、上記検出手段で得た水平同期信号を用いて任意分周比で分周することで、上記液晶表示パネルの信号電極を駆動するための任意周波数のクロック信号を生成する分周手段とを具備したことを特徴とする信号生成装置。

【請求項2】上記分周手段は、上記水平同期信号の立上がりエッジまたは立下がりエッジ毎に位相が揃うようにして上記任意周波数のクロック信号を生成することを特徴とする請求項1記載の信号生成装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示パネルを駆動するための信号を生成する信号生成装置に関する。

## 【0002】

【従来の技術】TFT (Thin Film Transistor: 薄膜トランジスタ) 液晶パネルを駆動してビデオ画像を表示させるための、例えば液晶テレビに用いられる表示系の一般的な回路構成について図5に示す。

【0003】同図で、発振回路11から出力されるクロックCLKは遅倍回路12でその周波数が遅倍され、一般に27 [MHz] あるいは13.5 [MHz] のシステムクロックとされた後に分周回路13で分周され、所定の周波数のクロックSDCLKとして同期検出回路14に与えられる。

【0004】この同期検出回路14は、クロックSDCLKに基づいて動作し、ビデオ(Video)信号中から複合同期信号CSYNCを検出してタイミング信号発生回路(図では「TG」と示す)15及びクロマ回路16に出力する。

【0005】タイミング信号発生回路15は、この複合同期信号CSYNCとVCO17から与えられるクロックTGCLKとの位相を比較し、その比較結果に応じた位相比較信号PDをフィルタ18へ出力する。

【0006】しかるに、タイミング信号発生回路15とVCO17及びこのフィルタ18によってPLL回路を構成するもので、フィルタ18がタイミング信号発生回路15から与えられる位相比較信号PDを平滑化し、電圧信号に変換してVCO17に印加すると、VCO17はその電圧値に対応した周波数の上記クロックTGCLKをタイミング信号発生回路15に出力するようになるものである。

【0007】タイミング信号発生回路15は、このクロックTGCLKと上記複合同期信号CSYNCとに応じて、TFT液晶パネル20を駆動するための各種タイミング信号を発生し、TFTドライバ19と上記クロマ回

路16に出力する。

【0008】クロマ回路16は、同期検出回路14から与えられる複合同期信号CSYNCとタイミング信号発生回路15からの各種タイミング信号に基づき、ビデオ信号に対するクロマ処理を施してRGBの各原色信号を抽出し、TFTドライバ19に与える。

【0009】TFTドライバ19では、タイミング信号発生回路15からの各種タイミング信号により、TFT液晶パネル20の走査(ゲート)電極を順次走査駆動しながら、クロマ回路16から与えられるRGB信号に応じた電圧値を信号(ソース)電極に印加して、ビデオ画像を表示させる。

【0010】図6は上記図5における各信号波形を例示するもので、図6(1)に示すような同期検出回路14が输出する複合同期信号CSYNCと図6(2)に示すようなVCO17の出力するクロックTGCLKとに応じて、タイミング信号発生回路15は図6(3)に示す位相比較信号PDを発生する。

【0011】位相比較信号PDは、図6(5)でも示すように、図6(4)に示すビデオ信号から同期検出回路14が生成する複合同期信号CSYNCのLow期間に反映したものとして与えられ、この位相比較信号PDによりVCO17が発振するクロックTGCLKがTFT液晶パネル20を駆動するTFTドライバ19に動作クロックとして与えられることになる。

## 【0012】

【発明が解決しようとする課題】しかしながら、上記図5で示した回路構成では、PLL回路を構成するVCO17とフィルタ18とがアナログ回路であるために集積回路化できず、外付けの構成となると共に、周辺の温度変化等の影響も受けやすいので、さらにその調整回路が必要となる。

【0013】また、上記図6(4), (5)で示したようにビデオ信号の垂直帰線期間では位相比較信号PDの波形が乱れるために、動作が不安定なものとなってしまう。

【0014】加えて、上記クロックTGCLKはTFT液晶パネル20の構成画素数に合わせた周波数となっているため、TFT液晶パネル20の構成画素数に対応したVCO17が必要となる。

【0015】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、集積回路化が可能で、安定した動作を実現でき、且つ駆動対象となる液晶表示パネルの構成画素数に任意に対応することが可能な信号生成装置を提供することにある。

## 【0016】

【課題を解決するための手段】請求項1記載の発明は、液晶表示パネルを駆動するための信号を生成する信号生成装置において、ビデオ信号中の水平同期信号を検出する検出手段と、基本クロックを遅倍した遅倍クロック

を、上記検出手段で得た水平同期信号を用いて分周することで、上記液晶表示パネルの信号電極を駆動するための任意周波数のクロック信号を生成する分周手段とを具備したことを特徴とする。

【0017】このような構成とすれば、アナログ動作する回路を排除することができるため調整を必要とせず、集積回路化が可能で、さらに分周比を可変設定することで駆動対象となる液晶表示パネルの構成画素数に任意に対応することが可能となる。

【0018】請求項2記載の発明は、上記請求項1記載の発明において、上記分周手段は、上記水平同期信号の立上がりエッジまたは立下がりエッジ毎に位相が揃うようにして上記任意周波数のクロック信号を生成する。

【0019】このような構成とすれば、上記請求項1記載の発明の作用に加えて、より安定した動作を実現することができる。

【0020】

【発明の実施の形態】以下本発明を例えれば液晶テレビに用いられる表示系の回路に適用した場合の実施の一形態について図面を参照して説明する。図1はその回路構成を示すもので、基本的には上記図5に示したものと同様であるので、同一部分には同一符号を付してその説明は省略する。

【0021】しかして、過倍回路12の出力するシステムクロックは分周回路13と分周回路21とに与えられる。

【0022】分周回路21は、同期検出回路14'から入力される信号TGSYNCに同期して過倍回路12からのシステムクロックを分周し、クロックTGCLKとしてタイミング信号発生回路15に出力する。

【0023】上記のような回路構成にあって、図2(1), (2)に示すように同期検出回路14'は、ビデオ信号から垂直帰線期間であっても安定して水平同期信号を抽出して信号TGSYNCとして出力し続ける。

【0024】分周回路21は、図2(4)に示すようにこの信号TGSYNCの立下がりエッジをトリガとして同期して、図2(3)に示すシステムクロックを任意の分周比で分周して図2(5)に示すようなクロックTGCLKを生成するもので、得たクロックTGCLKをTFT液晶パネル20を駆動するための動作クロックとしてタイミング信号発生回路15に与える。

【0025】このように、アナログのPLL回路を廃した上で、ビデオ信号から垂直帰線期間であっても安定して水平同期信号に同期した信号TGSYNCを得、この信号TGSYNCに同期して分周回路21でクロックTGCLKを生成させることにより、温度環境等の影響を受けないために調整を必要とせず、また回路全体の集積化が可能となる。

【0026】また、上記過倍回路12及び分周回路21は、その過倍率、分周比をそれぞれプログラマブルに可

変設定できるようにすることで、出力するクロックTGCLKの周波数を任意に可変できるもので、駆動対象となるTFT液晶パネル20の構成画素数を限定することなく、任意に対応できるようになる。

【0027】なお、上記図2では信号TGSYNCの立下がりエッジ部分で分周回路21にトリガをかけて、TFTドライバ19が使用するクロックTGCLKの位相が水平同期信号に揃うように動作させるものとしたが、立下がりエッジ部分ではなく立上がりエッジ部分に同期した制御としても良い。

【0028】なお、上記実施の形態は本発明を例えれば液晶テレビに用いられる表示系の回路に適用した場合の例を示したものであるが、同様に例えればデジタルスチルカメラでモニタ画像を表示させるための液晶ファインダの表示回路に応用することも可能である。

【0029】図3はそのような回路の構成を例示するもので、タイミング信号系の発生回路については基本的に上記図1と同様であるので、同一部分には同一符号を付してその説明は省略する。

【0030】しかして、分周回路13の出力するクロックSDCLKが同期信号発振回路22に出力される。この同期信号発振回路22は、入力されるクロックSDCLKに基づいて信号TGSYNCと複合同期信号CSYNCを発振し、信号TGSYNCを上記分周回路21へ、複合同期信号CSYNCをタイミング信号発生回路15へそれぞれ出力すると共に、インターフェース(I/F)23へもクロックを供給するインターフェース23は、このクロックに基づいてVRAM24のアドレス制御と書き込み/読み出しの切換制御とを行なわせることで、モニタ画像表示のために送られてくる表示データをVRAM24に順次展開記憶させた後、これを読み出してD/A変換器25へ出力する。

【0031】D/A変換器25は、インターフェース23から送られて来たデジタル値の表示データをRGBの各原色信号毎にアナログ化してTFTドライバ19に供給する。

【0032】このような回路構成にあって、同期信号発振回路22は分周回路13からのクロックSDCLKに基づいて垂直帰線期間中であっても安定した信号TGSYNCを発振して分周回路21へ出力し続ける。

【0033】分周回路21は、上記図2(4)に示したようにこの信号TGSYNCの立下がりエッジをトリガとして同期して、上記図2(3)に示した過倍回路12からのシステムクロックを任意の分周比で分周して上記図2(5)に示したようなクロックTGCLKを生成するもので、得たクロックTGCLKをTFT液晶パネル20を駆動するための動作クロックとしてタイミング信号発生回路15に与える。

【0034】この動作クロックによりタイミング信号発生回路15で発生される各種タイミング信号に従って、

TFTドライバ19がD/A変換器25からのアナログ値のRGBの原色信号をサンプリングし、TFT液晶パネル20を駆動してモニタ画像を表示させる。

【0035】このように、例えばデジタルスチルカメラでモニタ画像を表示させるための液晶ファインダの表示回路においても、上記図1の回路と同様の効果を得ることができ、TFTドライバ19がD/A変換器25の出力するアナログ値のRGBの原色信号に対するサンプリングのタイミングを外乱等に影響されずに安定して固定化することができる。

【0036】通常この種のデジタルスチルカメラでは、撮像により得られるモニタ画像の全域を表示し得るほどTFT液晶パネル20の表示容量がないので、モニタ画像中の一部の範囲をTFT液晶パネル20で表示するようにしている。

【0037】そのため、上述した如くTFTドライバ19がD/A変換器25の出力する信号のサンプリングのタイミングを外乱等に影響されずに安定した状態で固定化することで、元のモニタ画像に対するTFT液晶パネル20での表示位置範囲を例えばその中心位置とするよう確実に固定化することができる。

【0038】また、上記のように元の画像データに対するTFT液晶パネル20での表示範囲を固定化するのではなく、あえてユーザのキー操作に応じて移動させることができるようにしてよい。

【0039】これは、タイミング信号発生回路15がTFTドライバ19に出力する各種タイミング信号を変更することで、TFTドライバ19がD/A変換器25の出力するアナログ値のRGBの原色信号に対するサンプリングのタイミングを変更設定することにより容易に実現可能となる。

【0040】こうすることで、実際には記録されるにも拘わらずTFT液晶パネル20では表示されない画像部分をユーザの操作により任意に表示することで、記録前にモニタ画像の全域を確認することができ、ユーザは構図を決めやすくなる。

【0041】なお、上記図1及び図3では、倍倍回路2及び分周回路21での倍倍率、分周比をそれぞれプログラマブルに可変設定することで、出力するクロックT G C L Kの周波数を任意に可変し、駆動対象となるTFT液晶パネル20の構成画素数に任意に対応するものとして説明したが、これに代えて、上記D/A変換器25の前段で垂直方向の画素数を調整するものとしてもよい。

【0042】図4はこのような調整を行なう上記図3の回路構成の変形例を示すもので、基本的には上記図3で示した内容と同様であるため、同一部分には同一符号を付してその説明は省略する。

【0043】しかし、D/A変換器25の前段に、インターフェース23の出力する表示データの垂直方向の画

素数を調整するものとしてライン変換回路26を設けるものとする。

【0044】このライン変換回路26は、例えばインターフェース23から出力される表示データの垂直方向の画素数が、わが国の標準テレビジョン方式であるNTSC方式の有効走査線数に合わせて例えば240であり、一方TFT液晶パネル20の垂直方向の画素数が220であったとすると、240水平ライン分の表示データを演算により220水平ライン分にまで減少させてからD/A変換器25に供給する。

【0045】この場合、ライン変換回路26はインターフェース23から与えられるデジタル値の表示データを12ライン分毎に11ライン分のデータに変換する演算処理を実行するもので、水平方向のサンプリング位置は上記図3で示した場合と同様である。

【0046】タイミング信号発生回路15が、分周回路21が出力するクロックT G C L Kに基づいて適切な周波数の各種タイミング信号を発生してTFTドライバ19に供給することで、TFT液晶パネル20で撮影により得られる画像データの全域を表示させることができるようになり、煩雑なキー操作等を一切行なうことなしにTFT液晶パネル20の表示内容で構図を決めることができとなる。

【0047】なお、上述したように画像データの垂直方向の画素数を調整するだけでなく、水平変更の画素数の調整も行なえるようにすれば、パノラマサイズや正方形サイズ等、任意のアスペクト比のモニタ画像の全域をTFT液晶パネル20で表示させることができるようになる。

【0048】その他、本発明はその要旨を逸脱しない範囲内で種々変形して実施することができるものとする。

#### 【0049】

【発明の効果】請求項1記載の発明によれば、アナログ動作する回路を排除することができるため調整を必要とせず、集積回路化が可能で、さらに分周比を可変設定することで駆動対象となる液晶表示パネルの構成画素数に任意に対応することができる。

【0050】請求項2記載の発明によれば、上記請求項1記載の発明の効果に加えて、より安定した動作を実現することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の一形態に係る回路構成を示すブロック図。

【図2】図1の回路中の各信号波形を示すタイミングチャート。

【図3】同実施の形態に係る他の回路構成を示すブロック図。

【図4】同実施の形態に係る他の回路構成の変形例を示すブロック図。

【図5】従来の信号生成装置の回路構成を示すブロック図。

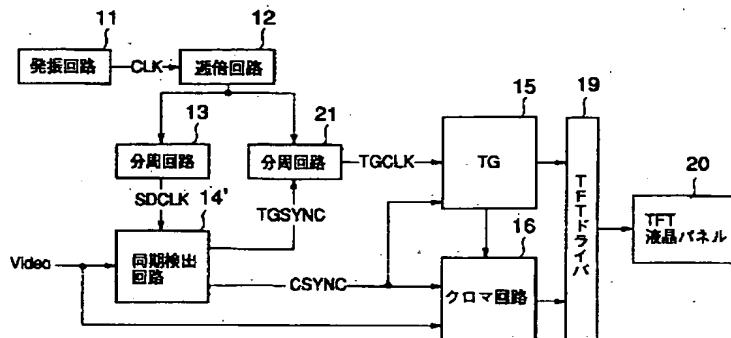
【図6】図5の回路中の各信号波形を示すタイミングチャート。

【符号の説明】

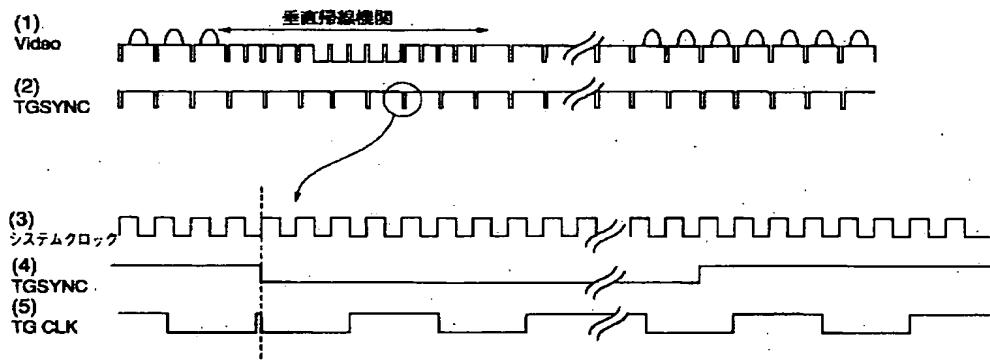
- 1 1 …発振回路
- 1 2 …遙倍回路
- 1 3 …分周回路
- 1 4, 1 4' …同期検出回路
- 1 5 …タイミング信号発生回路 (TG)
- 1 6 …クロマ回路

- 1 7 …VCO
- 1 8 …フィルタ
- 1 9 …TFT ドライバ
- 2 0 …TFT 液晶パネル
- 2 1 …分周回路
- 2 2 …同期信号発振回路
- 2 3 …インタフェース (I/F)
- 2 4 …VRAM
- 2 5 …D/A変換器
- 2 6 …ライン変換回路

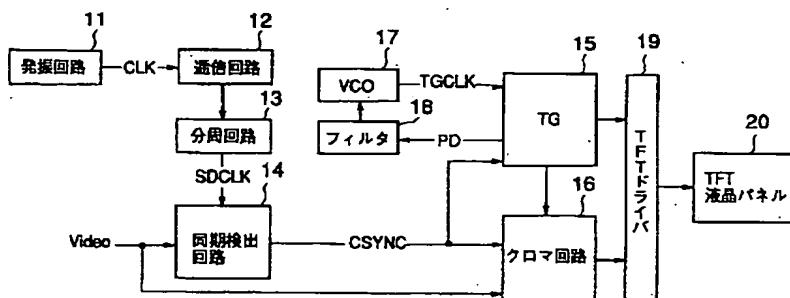
【図1】



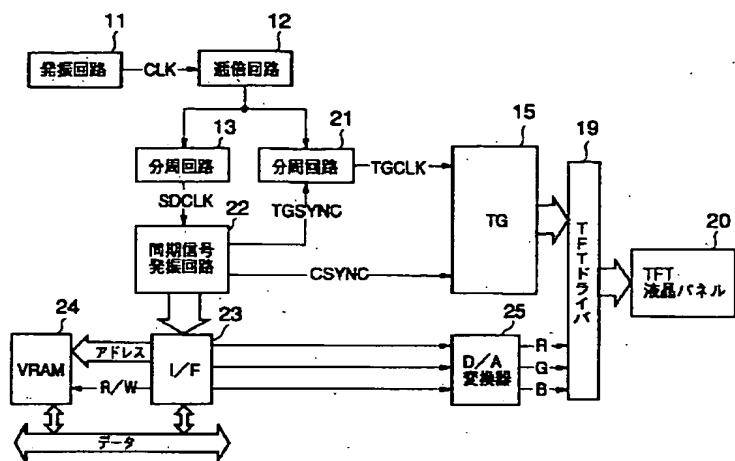
【図2】



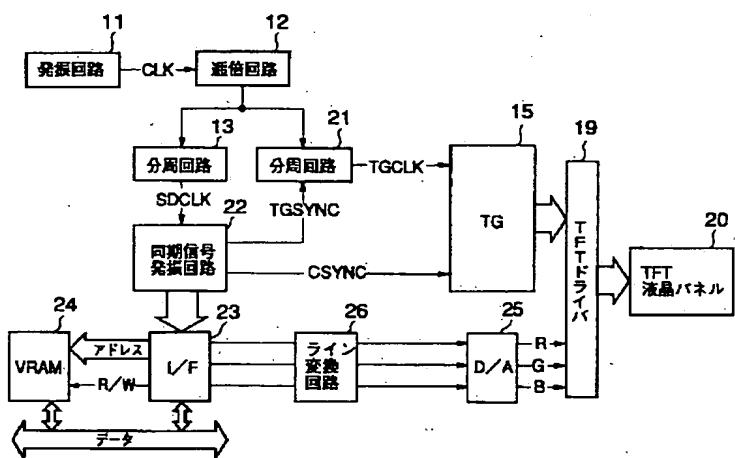
【図5】



【図3】



【図4】



【図6】



フロントページの続き

|                            |       |              |            |
|----------------------------|-------|--------------|------------|
| (51) Int. Cl. <sup>7</sup> | 識別記号  | F I          | マークコード(参考) |
| H 0 4 N 5/66               | 1 0 2 | H 0 4 N 5/66 | 1 0 2 B    |

F ターム(参考) 2H093 NB07 NC13 NC34 NC52 ND49  
5C006 AA01 AA22 AC02 AF42 AF72  
AF78 BB16 BC03 BC06 BC12  
BF23 BF49 EA03 EB05 FA16  
FA19 FA41  
5C020 AA01 AA35 BA07 BB08 CA13  
5C058 AA06 BA04 BA35 BB10 BB25  
5C080 AA10 BB05 CC03 DD20 DD22  
DD30 FF09 JJ02 JJ04 KK43